

CLIPPEDIMAGE= JP404340271A

PAT-NO: JP404340271A

DOCUMENT-IDENTIFIER: JP 04340271 A

TITLE: SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF

PUBN-DATE: November 26, 1992

INVENTOR-INFORMATION:

NAME

ISHIJIMA, TOSHIYUKI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP03016171

APPL-DATE: February 7, 1991

INT-CL (IPC): H01L027/108

US-CL-CURRENT: 257/503

ABSTRACT:

PURPOSE: To reduce a capacity between bit lines by a method wherein adjacent bit lines are formed in different layers.

CONSTITUTION: A silicon oxide film 2 is formed in an isolation region on a p-type single-crystal silicon substrate 1; an insulating film 8 is deposited on the whole surface. After that, first bit lines 5 are formed as every other bit line. After that, a resist film 10 with which the whole surface is covered is formed. Then, insulating films 9, 8 are removed; a contact hole is made; after that, the resist film 10 is removed; a resist film 11 is deposited on the whole surface. Then, the insulating film 11 is etched back; after that, the contact hole is filled with a conductor 4. Then, a resist film 13 is patterned in such a way that second bit lines are formed between the first bit lines 5. Then, a

metal film 12 is etched and removed selectively by making use of the resist film as an etching mask; after that, the resist film 13 is removed; the second bit lines 6 are formed. When the adjacent bit lines are formed of interconnection layers whose layer order is different, it is possible to reduce a capacity between the bit lines.

COPYRIGHT: (C)1992,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平4-340271

(43)公開日 平成4年(1992)11月26日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 27/108

識別記号

庁内整理番号

F I

技術表示箇所

8728-4M

H 0 1 L 27/10

3 2 5 P

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平3-16171

(22)出願日 平成3年(1991)2月7日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 石嶋 俊之

東京都港区芝五丁目7番1号日本電気株式  
会社内

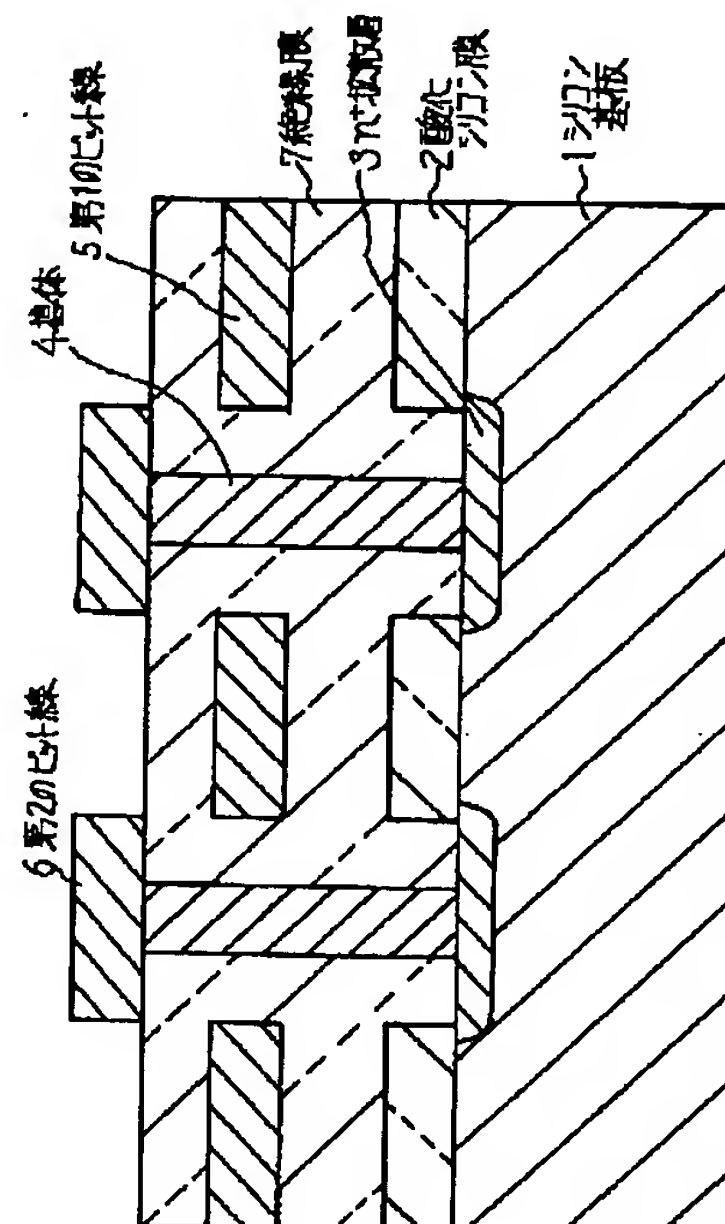
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 半導体メモリおよびその製造方法

(57)【要約】

【構成】半導体メモリの隣り合うビット線(第1のビット線5と第2のビット線6)を層次の異なる配線層で形成する。

【効果】ビット線間の寄生容量を低減できる。



## 【特許請求の範囲】

【請求項1】 隣り合うビット線が同一層次の配線で形成されていないことを特徴とする半導体メモリ。

【請求項2】 半導体チップ上に所定の間隔をおいて複数の第1のビット線を形成する工程と、少なくとも前記第1のビット線上を覆う第1の絶縁膜を形成する工程と、前記第1のビット線間にコンタクト孔を形成する工程と、前記コンタクト孔の側壁のみを第2の絶縁膜で覆う工程と、前記コンタクト孔を導体で埋める工程と、前記導体と接続した第2のビット線を形成する工程とを含むことを特徴とする半導体メモリの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体メモリおよびその製造方法に関し、特にビット線の構造およびその製造方法に関する。

## 【0002】

【従来の技術】 電荷の形で二進情報を貯蔵する半導体メモリはセル面積が小さいため、高集積、大容量のメモリセルとして優れている。そうして、ビット線は半導体チップ上に同一層次の配線層で形成されている。

## 【0003】

【発明が解決しようとする課題】 ところでメモリの高集積化によるメモリセルの縮小に伴い、ビット線間の距離も狭くなる。このため隣り合うビット線間の容量カップリングによる相互作用がノイズとして現れ、信号電圧の検出感度を劣化させると言う問題を提起す。

【0004】 従来、メモリの高集積化に伴うこのような問題は、1985・シンポジウム・オン・ブイエスアイ・テクノロジー(1985 SYMPOSIUM ON VLSI TECHNOLOGY) 予稿集、66～67ページに「スケイルド・ビットライン・カパシタンス・ユージング・ア・スリーディメンショナル・シミュレイタ」(SCALED BIT LINE CAPACITANCE USING A THREE-DIMENSIONAL SIMULATOR)と題して発表された論文において、指摘されている。メモリの高集積化が進み、ビット線間の寸法が狭まる中、この問題はますます顕在化してきている。

【0005】 本発明の目的は、この様な問題点を除去して、高集積化に適した半導体メモリのビット線構造およびその製造方法を提供することにある。

## 【0006】

【課題を解決するための手段】 本発明の半導体メモリは、隣り合うビット線が同一層次の配線で形成されていないというものである。

【0007】 又、本発明の半導体メモリの製造方法は、半導体チップ上に所定の間隔をおいて複数の第1のビット線を形成する工程と、少なくとも前記第1のビット線上を覆う第1の絶縁膜を形成する工程と、前記第1のビ

ット線間にコンタクト孔を形成する工程と、前記コンタクト孔の側壁のみを第2の絶縁膜で覆う工程と、前記コンタクト孔を導体で埋める工程と、前記導体と接続した第2のビット線を形成する工程とを含むというものである。

## 【0008】

【実施例】 以下本発明の実施例について図面を参照して説明する。

【0009】 図1は本発明の一実施例を示す模式的断面図である。

【0010】 この実施例のビット線では、隣り合うビット線(第1、2のビット線5、6)を異なった層次の配線層で形成している。従って第1のビット線5と第2のビット線6間の容量を大幅に低減できる。

【0011】 図2～図7は本発明の一実施例の製造方法を説明するため工程順に示した断面図である。

【0012】 まず、図2に示すように、p型単結晶のシリコン基板1上の分離領域に酸化シリコン膜2を設け、ゲート絶縁膜(図示しない)、ゲート電極(図示しない)、n型ソース・ドレイン領域(3)を設けた後、全面に酸化シリコンなどの絶縁膜8を堆積し、その後一本おきに第1のビット線5を形成する。図2の例は、折り返しビット線型の半導体メモリであって、第1のビット線5のそれぞれに接続されるメモリセル(図示しない)と第2のビット線6のそれぞれに接続されるメモリセル(高濃度n型拡散層3で代表させてある。)とが交互に千島状に配置されている。

【0013】 次に図3に示すように、全面に酸化シリコンなどの絶縁膜を堆積し、その後高濃度n型拡散層3上の一部を除いて全面を覆うレジスト膜10を形成する。

【0014】 次に図4に示すように、レジスト膜10をエッチングマスクとし反応性スパッタエッチング技術を用いて絶縁膜9、8をエッチング除去しコンタクト孔を開孔、その後レジスト膜10を除去した後全面に酸化シリコンなどの絶縁膜11を堆積する。

【0015】 次に図5に示すように、絶縁膜11を反応性スパッタエッチング技術を用いてエッチバックした後、前述のコンタクト構内を導体4で埋める。コンタクト構内を導体4で埋める手段としては、例えばタングステン等の金属をコンタクト構内のシリコン基板1より選択的に成長する方法がある。

【0016】 次に図6に示すように、銅およびシリコンを添加したアルミニウムなどの金属12を堆積した後第1のビット線5の間に第2のビット線が形成されるようにレジスト膜13をパターニングする。

【0017】 次に図7に示すように、レジスト膜をエッチングマスクとし反応性スパッタエッチング技術を用いて金属膜12を選択的にエッチング除去した後、レジスト膜13を除去して第2のビット線6を形成する。

【0018】 このようにして、図1に示したものと同等

3

のビット線構造を実現できる。なお、導体4によるビット線間の寄生容量が新たに発生するが、第1のビット線5と第2のビット線6間の寄生容量に比べると無視しうる。ビット線の長さに比べると、コンタクト部の大きさは十分に小さいとみなせるからである。

【0019】この製造方法によれば、図4、図5を参照して説明したことから明らかなように、導体4と第1のビット線5との間に確実に絶縁膜11が存在することになるので絶縁は十分に確保される。又、第2のビット線6と高濃度n型拡散層3との接続も、導体4の形成に高融点金属の選択成長を利用することにより、確実に行える。

【0020】又、第2のビット線の第1のビット線が形成されている層への投影が第1のビット線と一部重なっても差支えはないので、ビット線の配置密度をあげることができる。

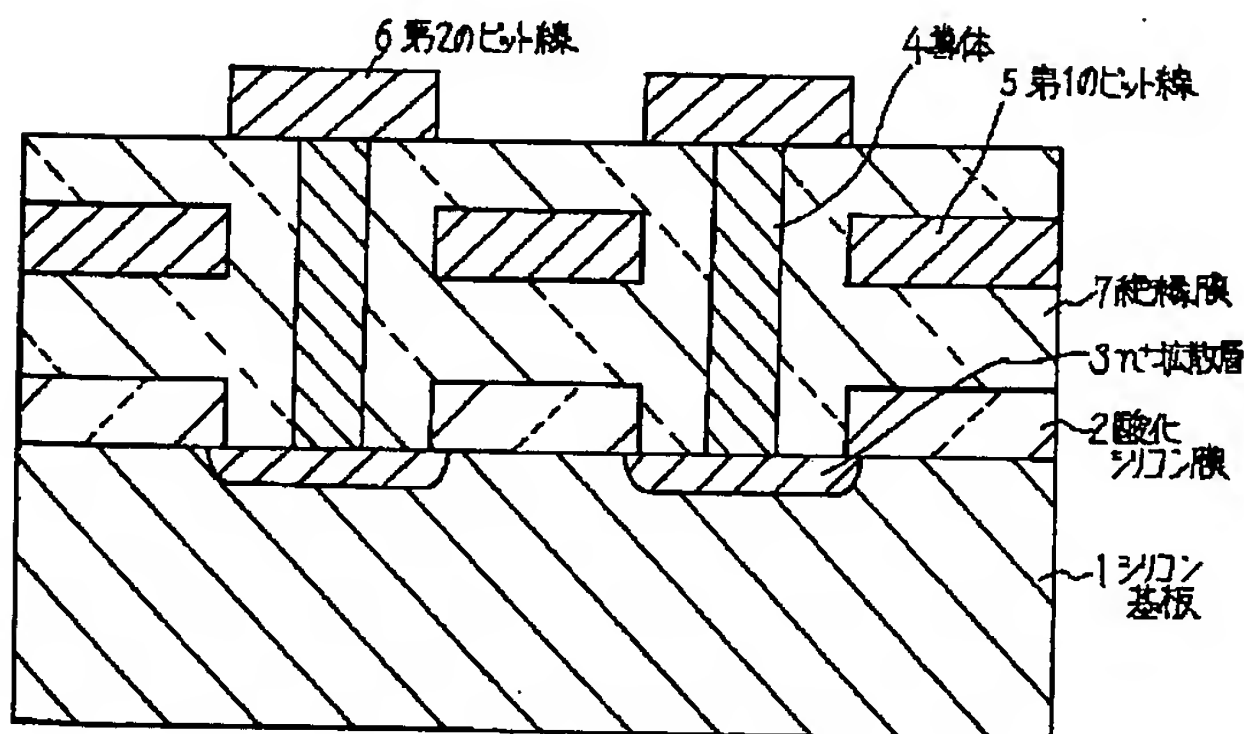
【0021】

【発明の効果】本発明によれば、隣り合うビット線を異なった層に設けることにより、ビット線間の容量を大幅に低減でき、ビット線間のノイズを大幅に減らすことができる。さらにビット線を2層構造にすることにより、同一層にビット線を形成する場合に比べてビット線幅を広く形成することが可能となり、信頼性の高くノイズに強いビット線を容易に得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体メモリの一実施例を示す断面図である。

【図1】



4

【図2】本発明の半導体メモリの一実施例の製造方法の説明に使用する断面図である。

【図3】本発明の半導体メモリの一実施例の製造方法の説明に使用する断面図である。

【図4】本発明の半導体メモリの一実施例の製造方法の説明に使用する断面図である。

【図5】本発明の半導体メモリの一実施例の製造方法の説明に使用する断面図である。

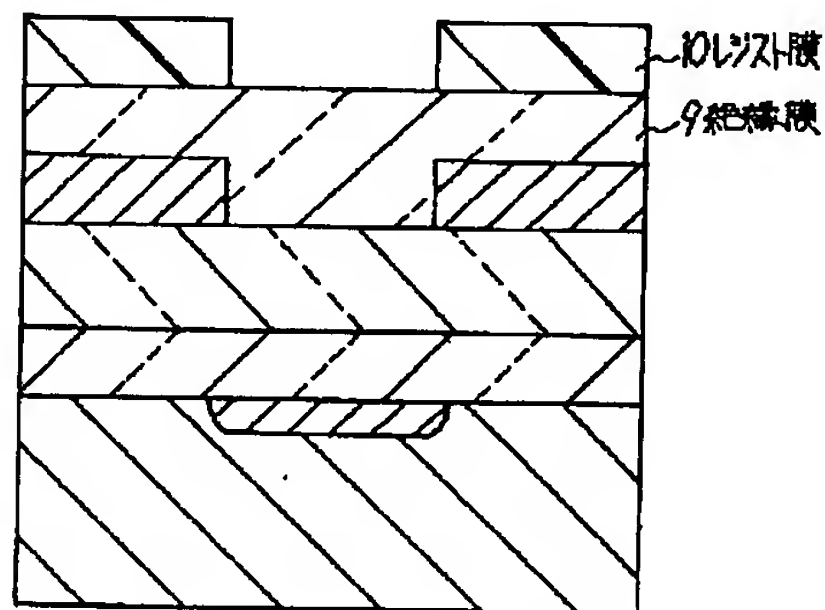
【図6】本発明の半導体メモリの一実施例の製造方法の説明に使用する断面図である。

【図7】本発明の半導体メモリの一実施例の製造方法の説明に使用する断面図である。

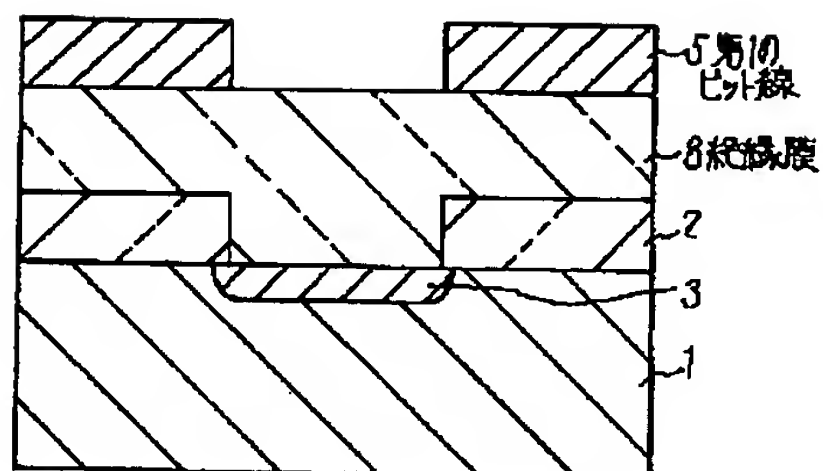
【符号の説明】

- 1 シリコン基板
- 2 酸化シリコン膜
- 3 高濃度n型拡散層
- 4 導体
- 5 第1のビット線
- 6 第2のビット線
- 7 絶縁膜
- 8 絶縁膜
- 9 絶縁膜
- 10 レジスト膜
- 11 絶縁膜
- 12 金属膜
- 13 レジスト膜

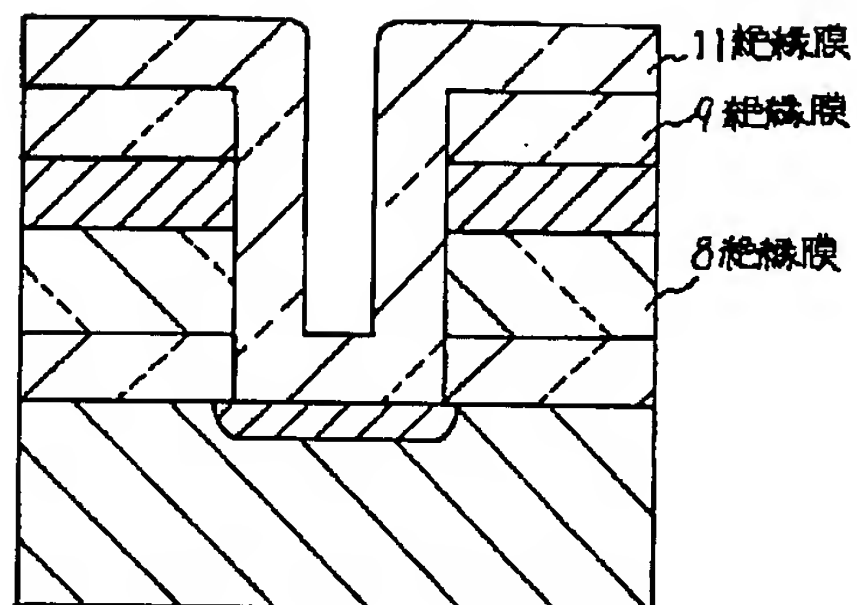
【図3】



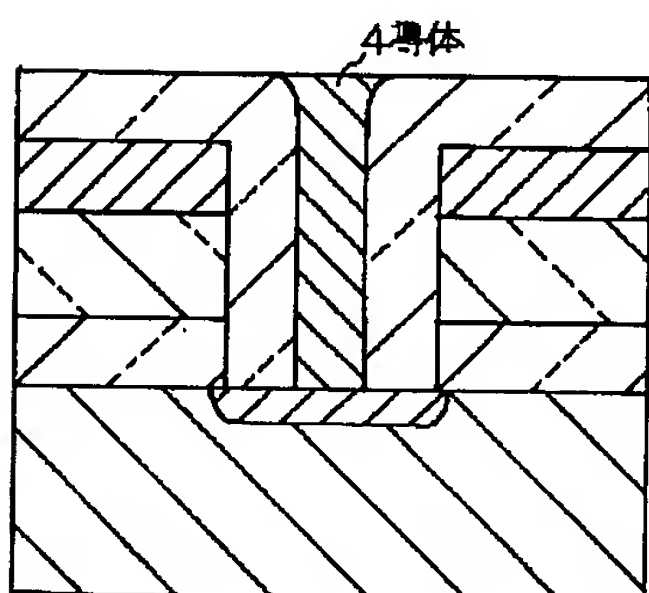
【図2】



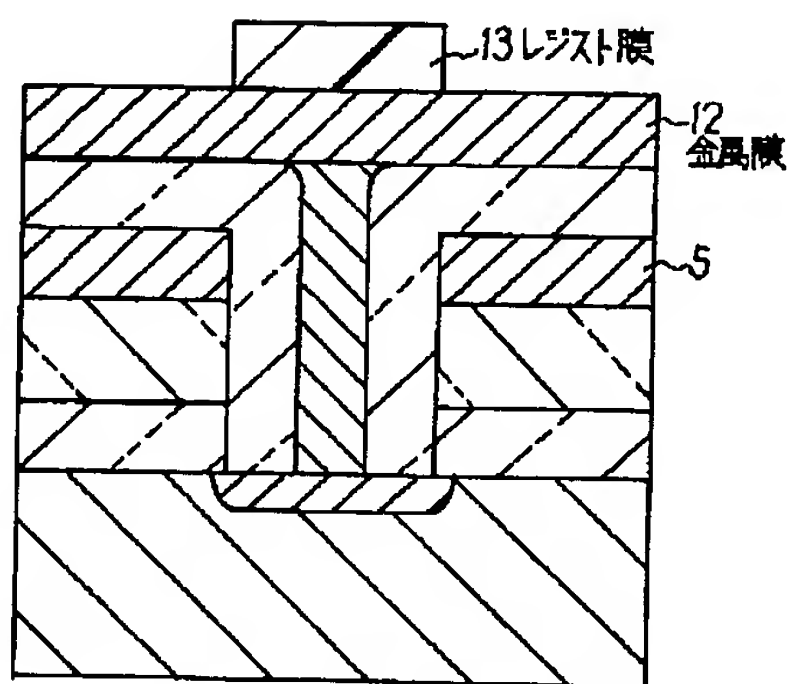
【図4】



【図5】



【図6】



【図7】

